

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297366

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/06

(21)Application number : 06-082909

(71)Applicant : NEC CORP

(22)Date of filing : 21.04.1994

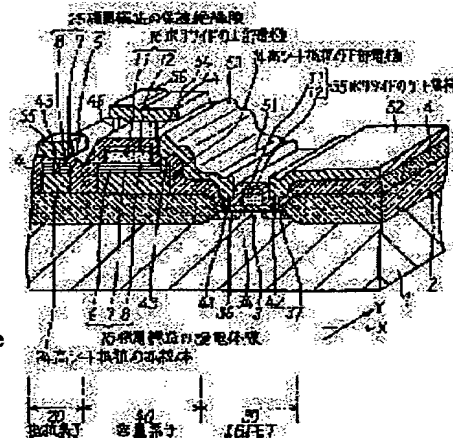
(72)Inventor : YOSHIMORI MASANORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device, which can form the highly reliable resistive element and capacitive element together with an IGFET at a high integration density, and the method for manufacturing the device by the simplified process.

CONSTITUTION: A resistor 24 of a resistive element 20 and a lower electrode 14 of a capacitive element 40, which are formed on a field insulating film 2, are formed on a polysilicon layer having the same sheet resistance. A dielectric film 15 of the capacitive element 40 has the laminated structure of silicon oxide films 6 and 8 and a silicon nitride film 7. A protecting insulating film 25, which is deposited on the upper surface of the resistor 24 of the resistive element 20, also uses the laminated structure of the silicon oxide films 6 and 8 and the silicon nitride film 7.



LEGAL STATUS

[Date of request for examination] 21.04.1994

[Date of sending the examiner's decision of rejection] 12.08.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2874550

[Date of registration] 14.01.1999

[Number of appeal against examiner's decision of rejection] 09-15327

[Date of requesting appeal against examiner's decision of rejection] 11.09.1997

[Date of extinction of right] 14.01.2004

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor integrated circuit equipment with which the capacitive element and the resistance element were formed on the insulating layer prepared in the main front face of a semiconductor substrate said resistance element It consists of the 1st polish recon layer which has predetermined sheet resistance. Said capacitive element Semiconductor integrated circuit equipment characterized by consisting of up electrodes on the dielectric film on the lower electrode which consists of the 2nd polish recon layer which has the same sheet resistance as said 1st polish recon layer, and said lower electrode, and said dielectric film.

[Claim 2] Said lower electrode and said dielectric film are formed in the same flat-surface configuration, and said up electrode is formed in a flat-surface configuration smaller than said lower electrode and dielectric film. Three or more connection holes which carried out opposite distribution covering the overall length of this 1 side in parallel with one side of said up electrode are arranged and formed in the part of said dielectric film with which said up electrode is not prepared. Semiconductor integrated circuit equipment according to claim 1 characterized by connecting the drawing electrode to said lower electrode through two or more of these connection holes.

[Claim 3] The dielectric film of said capacitive element is semiconductor integrated circuit equipment according to claim 1 which is the laminated structure which accumulated silicon oxide and a silicon nitride by turns, and is characterized by the protection insulator layer of the laminated structure of said dielectric film and the same laminated structure having covered the top face of the 1st polish recon layer which constitutes said resistance element.

[Claim 4] The resistance element which prepares in the main front face of a semi-conductor substrate, and consists of the 1st polish recon layer on a **** insulating layer and by which covering formation of the protection insulator layer is carried out on the top face, In the semiconductor integrated circuit equipment with which the capacitive element which has an up electrode on the dielectric film on the lower electrode which consists of the 2nd polish recon layer, and this lower electrode, and this dielectric film was formed said dielectric film It is semiconductor integrated circuit equipment characterized by being the laminated structure of the configuration with the laminated structure of said dielectric film are a laminated structure in accumulation by turns about silicon oxide and a silicon nitride, and same [said protection insulator layer].

[Claim 5] Said laminated structure is semiconductor integrated circuit equipment according to claim 4 characterized by being the three-layer laminated structure of the upper silicon oxide by surface thermal oxidation of the silicon nitride on the lower layer silicon oxide by surface thermal oxidation of a polish recon layer, and this lower layer silicon oxide, and this silicon nitride.

[Claim 6] Said 1st polish recon layer and said 2nd polish recon layer are semiconductor integrated circuit equipment according to claim 4 characterized by having the same sheet resistance by having the same thickness and the same high impurity concentration mutually.

[Claim 7] It is semiconductor integrated circuit equipment according to claim 4 which an insulated-gate field-effect transistor is formed in said semi-conductor substrate, and is characterized by the gate electrode of this transistor and the up electrode of said capacitive element being the same ingredient

configurations.

[Claim 8] Said ingredient configuration is semiconductor integrated circuit equipment according to claim 7 characterized by being the polycide structure in which the silicide film was formed on the polish recon layer.

[Claim 9] The process which forms alternatively in the principal plane of this semi-conductor substrate the field insulating layer which divides the active region of a semi-conductor substrate, The process which applies on said active region from on said field insulating layer, and forms a lower layer polish recon layer, The process which oxidizes the front face of said lower layer polish recon layer, and forms lower layer silicon oxide, The process which forms a silicon nitride on said lower layer silicon oxide, and the process which oxidizes the front face of said silicon nitride and forms the upper silicon oxide, Carry out sequential etching removal and patterning of said upper silicon oxide, said silicon nitride, said lower layer silicon oxide, and said lower layer polish recon layer is carried out to the same pattern. Said lower layer silicon oxide put on the top face of the resistance element by said lower layer polish recon layer, and this resistance element on the 1st [of said field insulating layer] surface field, The protection insulator layer which consists of said silicon nitride and said upper silicon oxide is formed. The lower electrode and said lower layer silicon oxide of the capacitive element according to said lower layer polish recon layer to a 2nd [of said field insulating layer] surface field top, The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which forms the dielectric film of this capacitive element that consists of said silicon nitride and said upper silicon oxide.

[Claim 10] The manufacture approach of the process which forms the gate dielectric film of an insulated-gate field-effect transistor in the principal plane of said semi-conductor substrate of said active region after said patterning, and the semiconductor integrated circuit equipment according to claim 9 characterized by having the process which forms the up electrode of this capacitive element on said gate dielectric film on the gate electrode of this transistor, and the dielectric film of said capacitive element with low electrical resistance materials.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the semiconductor integrated circuit equipment with which the resistance element and the capacitive element were formed on the semiconductor substrate, and its manufacture approach with respect to semiconductor integrated circuit equipment and its manufacture approach.

[0002]

[Description of the Prior Art] An insulated-gate field-effect transistor (it is hereafter called IGFET) is formed in a semi-conductor substrate, the capacitive element of an MOS mold is formed on a field insulating layer, and the semiconductor integrated circuit equipment which made the dielectric film the laminated structure of a silicon nitride and silicon oxide in order to reduce the leakage current of a capacitive element and to increase capacity value is indicated by JP,63-94664,A.

[0003] On the other hand, IGFET is formed in a semi-conductor substrate, a polish recon resistance element is formed on a field insulating layer or a lower layer layer insulation layer, and the semiconductor integrated circuit equipment covered with the upper layer insulation layer which consists of silicon oxide put on the top face of a polish recon resistance element on the whole including IGFET is indicated by JP,58-26178,B.

[0004] In the equipment with which it followed, for example, an analog and digital one were intermingled like an A/D converter or a D/A converter, when a resistance element and a capacitive element are formed with IGFET and it constitutes an integrated circuit, it becomes structure as shown in drawing 6 .

[0005] In drawing 6 , field oxide 2 was alternatively formed in the principal plane of the P type silicon substrate 1, and the active region is divided.

[0006] Gate oxide 34 is formed in the substrate front face of an active region, the gate electrode 35 of the polycide structure which consists of a polish recon layer 11 and silicide film 12 is formed on it, the N type impurity ranges 36 and 37 of a pair which serve as the gate electrode 35 with the source and a drain field in self align are formed, and IGFET30 is constituted.

[0007] The lower electrode 64 which consists of a polish recon layer of low sheet resistance, and its cash-drawer section 64A are formed on the 1 field of field oxide 2, the laminating dielectric film 65 which consists of silicon oxide 61 and the silicon nitride 62 on the lower electrode 64 is formed, the up electrode 68 which consists of aluminum etc. is formed on it, and the capacitive element 60 of an MOS mold is constituted.

[0008] The polish recon layer 74 of high sheet resistance is formed on other fields of field oxide 2, and a resistance element 70 is constituted.

[0009] Moreover, the layer insulation layer 71 which consists of silicon oxide covers the top face of the polish recon layer 74 of a resistance element 70, and the top face of lower electrode cash-drawer section 64A of a capacitive element 60 is covered, and the gate electrode 35 is covered and it is formed.

[0010] And the connection holes 66 and 76 are formed in an interlayer insulation film 71, an electrode 67 is connected to lower electrode cash-drawer section 64A through the connection hole 66, and an electrode 77 is connected to the edge of the polish recon layer 74 of a resistance element 70 through the connection hole 76.

[0011]

[Problem(s) to be Solved by the Invention] With the semiconductor integrated circuit equipment by such conventional technique, it has a problem which are enumerated next. namely, — alike — the polish recon layer of sheet resistance high as a resistance element — using — as the lower electrode of a capacitive element — ***** — since the polish recon layer of low sheet resistance is used, deposition and different patterning of each different polish recon layer are needed. Therefore, an eye doubling error is produced in relative location with the lower electrode of a resistance element and a capacitive element, and it becomes constraint of high integration. Moreover, manufacture becomes complicated, for this reason cost serves as high semiconductor integrated circuit equipment.

[0012] Thick silicon oxide has covered the top face of the polish recon layer of sheet resistance with a high resistance element directly. For this reason, according to invasion of moisture, migration of a cation, or the stress operation to the polish recon layer front face by difference of a coefficient of thermal expansion, the resistance of a resistance element becomes unstable. Moreover, since the contact section front face of a polish recon layer is also etched in case a connection hole is formed in thick silicon oxide, it becomes difficult to acquire reliable detailed contact structure. It has the same problem,

also in case the contact structure to the lower electrode cash-drawer section of a capacitive element is formed. And even if it covers all the top faces of the silicon oxide as this interlayer insulation film by the silicon nitride, since thickness is thick, the silicon oxide put on a polish recon layer top face does not become solution of the above-mentioned problem.

[0013] Moreover, when it is the quality of the material from which a gate electrode and the up electrode of a capacitive element differ like drawing 6, since deposition and patterning process of each ingredient film are needed, manufacture becomes complicated also from this point and cost serves as high semiconductor integrated circuit equipment.

[0014] Therefore, the purpose of this invention is offering the effective manufacture approach of manufacturing the semiconductor integrated circuit equipment which can set correctly physical relationship with the lower electrode of a resistance element and a capacitive element to a predetermined value, makes high integration possible by this, and realizes low cost-ization, and its equipment.

[0015] Other purposes of this invention are offering the semiconductor integrated circuit equipment which has the resistance element from which the resistance by which fluctuation was stabilized few is acquired, and reliable contact structure's is acquired.

[0016] Another purpose of this invention is offering the semiconductor integrated circuit equipment which has the capacitive element from which reliable contact structure's is acquired.

[0017]

[Means for Solving the Problem] In the semiconductor integrated circuit equipment with which the capacitive element and the resistance element were formed on the insulating layer by which the 1st description of this invention was prepared in the main front face of a semi-conductor substrate said resistance element It consists of the 1st polish recon layer which has predetermined sheet resistance. Said capacitive element It is in the semiconductor integrated circuit equipment which consists of up electrodes on the dielectric film on the lower electrode which consists of the 2nd polish recon layer which has the same sheet resistance as said 1st polish recon layer, and said lower electrode, and said dielectric film. Said lower electrode and said dielectric film are formed in the same flat-surface configuration here. Said up electrode is formed in a flat-surface configuration smaller than said lower electrode and dielectric film. the part of said dielectric film with which said up electrode is not prepared — one side of said up electrode — concurrency — and — this — it is desirable that carry out opposite distribution covering the overall length of one side, and three or more connection holes arrange, and are formed, and the drawing electrode is connected to said lower electrode through two or more of these connection holes.

[0018] The resistance element which prepares the 2nd description of this invention in the main front face of a semi-conductor substrate, and consists of the 1st polish recon layer on a **** insulating layer and by which covering formation of the protection insulator layer is carried out on the top face, In the semiconductor integrated circuit equipment with which the capacitive element which has an up electrode on the dielectric film on the lower electrode which consists of the 2nd polish recon layer, and this lower electrode, and this dielectric film was formed said dielectric film About silicon oxide and a silicon nitride, it is a laminated structure in accumulation by turns, and said protection insulator layer is in the semiconductor integrated circuit equipment which is the laminated structure of the same configuration of the laminated structure of said dielectric film. Here, said laminated structure can be a three-layer laminated structure of the upper silicon oxide by surface thermal oxidation of the silicon nitride on the lower layer silicon oxide by surface thermal oxidation of a polish recon layer, and this lower layer silicon oxide, and this silicon nitride. Moreover, as for said 1st polish recon layer and said 2nd polish recon layer, it is desirable by having the same thickness and the same high impurity concentration mutually to have the same sheet resistance. Furthermore, IGFET can be formed in said semi-conductor substrate, and the gate electrode of this transistor and the up electrode of said capacitive element can be the same ingredient configuration and the polycide structure which formed the silicide film on the

polish recon layer preferably.

[0019] The process at which the 3rd description of this invention forms alternatively in the principal plane of this semi-conductor substrate the field insulating layer which divides the active region of a semi-conductor substrate, The process which applies on said active region from on said field insulating layer, and forms a lower layer polish recon layer, The process which oxidizes the front face of said lower layer polish recon layer, and forms lower layer silicon oxide, The process which forms a silicon nitride on said lower layer silicon oxide, and the process which oxidizes the front face of said silicon nitride and forms the upper silicon oxide, Carry out sequential etching removal and patterning of said upper silicon oxide, said silicon nitride, said lower layer silicon oxide, and said lower layer polish recon layer is carried out to the same pattern. Said lower layer silicon oxide put on the top face of the resistance element by said lower layer polish recon layer, and this resistance element on the 1st [of said field insulating layer] surface field, The protection insulator layer which consists of said silicon nitride and said upper silicon oxide is formed. The lower electrode and said lower layer silicon oxide of the capacitive element according to said lower layer polish recon layer to a 2nd [of said field insulating layer] surface field top, It is in the manufacture approach of semiconductor integrated circuit equipment of having the process which forms the dielectric film of this capacitive element that consists of said silicon nitride and said upper silicon oxide. Furthermore, it can have the process which forms the gate dielectric film of IGFET in the principal plane of said semi-conductor substrate of said active region, and the process which forms the up electrode of this capacitive element on said gate dielectric film with low electrical resistance materials on the gate electrode of this transistor, and the dielectric film of said capacitive element after said patterning.

[0020]

[Example] With reference to a drawing, this invention is referred to for a drawing below.

[0021] Drawing 1 is the cross-section perspective view showing the semiconductor integrated circuit equipment of the example of this invention. The field insulating layer 2 which becomes the principal plane of the P type silicon substrate 1 from silicon oxide was formed alternatively, and has divided the active region 3 of a substrate.

[0022] On a channel field, it consists of a polish recon layer 11 and silicide film 12 through gate oxide 34, and the gate electrode 35 is formed from the polycide layer of a value with as low sheet resistance (layer resistance) as 10ohms / **, the N type impurity ranges 36 and 37 of a pair which serve as the gate electrode 35 with the source and a drain field in self align are formed [gate oxide 34 is formed in the substrate front face of an active region 3,], and IGFET30 is constituted.

[0023] The capacitive element 40 is formed on the 1 field of field oxide 2. This capacitive element 40 is formed from the lower electrode 14, the dielectric film 15, and the up electrode 16. The lower electrode 14 is a flat-surface configuration with a square square of 16 micrometers, and the direction of X and the direction of Y consist of polish recon layers of a value with as high sheet resistance (layer resistance) as 40ohms / **. The dielectric film 15 consists of 3 regular-placing structures of lower layer silicon oxide 6 of 17nm of thickness, the silicon nitride 7 of 15nm of thickness, and the 5nm upper silicon oxide 8 of thickness. The up electrode 16 is a flat-surface configuration with a square square of 12 micrometers, the direction of X and the direction of Y consist of a polish recon layer 11 and silicide film 12, and sheet resistance consists of polycide layers of 10ohms / **. That is, the up electrode 16 of a capacitive element 40 and the gate electrode 35 of IGFET30 are the completely same film configurations.

[0024] The resistance element 20 is formed on other fields of field oxide 2. This resistance element 20 consists of resistors 24 which consist of a polish recon layer of the high sheet resistance of the same 40ohms / ** by having the same high impurity concentration as the lower electrode 14 and the same thickness of a capacitive element 40.

[0025] As shown in drawing 4 (A), width of face W serves as a flat-surface configuration which 5 micrometers, the connection hole 45, and the effective length L between 46 are 50 micrometers, and

extends in a U character mold in the direction of Y, and a resistor 24 serves as the connection hole 45 and a resistance element whose resistance between 46 is 400ohms. In addition, at drawing 1 , the straight-line configuration which extends in the direction of Y has shown the flat-surface configuration of a resistor 24 for convenience. And in the upper front face of a resistor 24, covering formation of the protection insulator layer 25 of the same flat-surface configuration as a resistor is carried out. This protection insulator layer 25 is 3 regular placing structures of the completely same cascade screen configuration 6 as the dielectric film 15 of a capacitive element 40, i.e., lower layer silicon oxide of 17nm of thickness, the silicon nitride 7 of 15nm of thickness, and the upper silicon oxide 8 of 5nm of thickness.

[0026] The interlayer insulation film 4 which consists of silicon oxide, a PSG, or BPSG on the whole is formed. The connection holes 41 and 42 penetrated the interlayer insulation film 4, and have arrived at the N type impurity ranges 36 and 37 of IGFET, respectively. The connection hole 43 penetrated the interlayer insulation film 4 and the dielectric film 15, and has reached the lower electrode 14 of a capacitive element. The connection hole 44 penetrated the interlayer insulation film 4, and has reached the up electrode 16 of a capacitive element. The connection holes 45 and 46 penetrated the interlayer insulation film 4 and the protection insulator layer 25, and have arrived at the both ends of a resistor 24, respectively.

[0027] Moreover, as shown in drawing 4 (B), in parallel with one-side 16A which extends in the direction of Y of the up electrode 16, covering the overall length of one-side 16A, opposite distribution is carried out, it arranges and three or more connection holes 43 which pull out the lower electrode 14 of a capacitive element form. In the example of drawing 4 (B), it is the distribution array of five connection holes 43 of an up electrode with which one side countered the both ends of 16, the connection holes 43A and 43A were formed, the center section was countered, connection hole 43B was formed, and the connection holes 43C and 43C were formed between each of 43A and 43B.

[0028] By carrying out such consideration, even if the lower electrode of a capacitive element is the film of high sheet resistance, each part of a lower electrode serves as uniform potential, and the trouble of it is lost.

[0029] The aluminum electrodes 51 and 52 have connected with the N type impurity ranges 36 and 37 of IGFET through the connection holes 51 and 55, respectively. The aluminum electrode 51 and the aluminum electrode 53 formed continuously have connected with the lower electrode 14 of a capacitive element through two or more connection holes 43. The aluminum electrode 54 connected with the up electrode 16 of a capacitive element through the connection hole 44, this aluminum electrode 54 and the aluminum electrode 56 formed continuously connected with one edge of a resistor 24 through the connection hole 46, and the aluminum electrode 55 has connected with the other-end section of a resistor 24 through the connection hole 45.

[0030] Drawing 5 (A) shows the reference potential circuit in an A/D-conversion circuit, has resistance elements R1, R2, and AMP (amplifying circuit), and the output (OUT) is inputted into an A/D converter. Moreover, drawing 4 (B) is IGFET in the circuit diagram of AMP. It has T1-T11, and a capacitive element C, and is constituted. R1, C, and T1 of the part enclosed with the two-dot chain line near the node A can be constituted like the resistance element 20 of example drawing 1 , a capacitive element 40, and IGFET30, respectively, and it can be formed.

[0031] Next, the example of the approach of manufacturing the semiconductor integrated circuit equipment of drawing 1 with reference to drawing 2 - drawing 3 is explained.

[0032] As first shown in drawing 2 (A), a selective oxidation method is used, a part is laid under the substrate, and the thick field oxide 2 which divides an active region 3 is formed in the main front face of the P type silicon substrate 1. And the polish recon layer 5 containing an N type impurity is formed in the whole surface. then, heat treatment — the front face of the polish recon layer 5 — oxidizing — silicon oxide 6 of 17nm of thickness — forming — a it top — LPCVD (low pressure CVD) — law and RTN (rapid heat nitriding) — the silicon nitride 7 of 15nm of thickness is formed by law etc., the front

this.

[0039]

[Effect of the Invention] Thus, in this invention, since the lower electrode of a resistance element and a capacitive element consists of polish recon layers of the same sheet resistance, patterning formation of both can be carried out at coincidence. Therefore, since manufacture is simplified and the eye doubling error of lithography does not produce the physical relationship between both, it can set to a predetermined value correctly. Moreover, even if it makes high sheet resistance of the lower electrode of a capacitive element according to the sheet resistance of a resistance element, by distributing three or more connection holes, each part of a lower electrode comes to be able to become uniform potential, and a problem does not arise practically.

[0040] Moreover, since the protection insulator layer put on the top face of the resistor of a resistance element is also the laminated structure of silicon oxide and a silicon nitride, manufacture is simplified also from this point, and permeation of moisture and migration of a cation near the front face are prevented by the silicon nitride of a parenthesis. Moreover, as for the coefficient of thermal expansion of a silicon nitride, the stress which, as for the coefficient of thermal expansion of silicon oxide, thermal expansion is offset by the laminated structure of silicon oxide and a silicon nitride since it is smallness from a polish recon layer, and joins a polish recon resistor front face in the use in a heat treatment process or an elevated temperature, or low temperature is eased in size from a polish recon layer. Therefore, fluctuation of resistance serves as a resistance element stabilized in smallness. That is, this invention is based on the new knowledge that the laminated structure of the dielectric film of a capacitive element is effective also as a protection insulator layer of a polish recon resistor.

[0041] Moreover, in case patterning of a gate electrode and the up electrode is carried out, since the protection insulator layer of a laminated structure has covered the resistor top face of a resistance element, it does not generate un-arranging [that the thickness of a resistor decreases un-wanting and predetermined resistance is not acquired].

[0042] In case the connection hole which furthermore reaches the polish recon layer of the lower electrode of the resistor of a resistance element or a capacitive element is formed, a detailed connection hole pattern can be formed without the silicon nitride of a laminated structure serving as an etching stopper, and giving a damage to the front face of a polish recon layer.

[0043] Since patterning formation of both can be carried out at coincidence by furthermore making the gate electrode of IGFET, and the up electrode of a capacitive element the same film configuration, manufacture can be simplified.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross-section perspective view showing the semiconductor integrated circuit equipment of the example of this invention.

[Drawing 2] It is the cross-section perspective view showing the approach of an example of manufacturing the semiconductor integrated circuit equipment of drawing 1 , in order of a process.

[Drawing 3] It is the cross-section perspective view showing the process of a continuation of drawing 2 in order.

[Drawing 4] It is the top view showing some semiconductor integrated circuit equipments of drawing 1 , and drawing where (A) explains the U character configuration of a resistance element, and (B) are drawings explaining the connection hole to the lower electrode of a resistance element.

[Drawing 5] It is the circuit diagram showing a part of AD translation circuit which can apply this invention.

[Drawing 6] It is the sectional view showing the semiconductor integrated circuit by the conventional technique.

[Description of Notations]

- 1 P Type Silicon Substrate
- 2 Field Insulating Layer
- 3 Active Region
- 4 Interlayer Insulation Film
- 6 Lower Layer Silicon Oxide
- 7 Silicon Nitride
- 8 The Upper Silicon Oxide
- 10 Laminated Structure
- 11 Polish Recon Layer
- 12 Silicide Film
- 13 Polycide Layer
- 14 Lower Electrode
- 15 Dielectric Film
- 16 Up Electrode
- 16A One side of an up electrode
- 20 Resistance Element
- 24 Resistor
- 25 Protection Insulator Layer
- 30 IGFET
- 34 Gate Oxide
- 35 Gate Electrode
- 36 37 N type impurity range
- 38 Photoresist Film
- 39 N Type Ion
- 40 Capacitative Element
- 41, 42, 43 (43A, B, C), 44, 45, 46 Connection hole
- 51, 52, 53, 54, 55, 56 Aluminum electrode
- 60 Capacitative Element
- 61 Silicon Oxide
- 62 Silicon Nitride
- 64 Lower Electrode
- 64A Cash-drawer section
- 65 Laminating Dielectric Film
- 66 76 Connection hole

67 77 Electrode
68 Up Electrode
70 Resistance Element
71 Layer Insulation Layer
74 Polish Recon Layer

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297366

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.⁹

H 0 1 L 27/04
21/822
21/8234

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/ 04

P
C

審査請求 有 請求項の数10 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平6-82909

(22) 出願日

平成6年(1994)4月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉森 正則

東京都港区芝五丁目7番1号 日本電気株式会社内

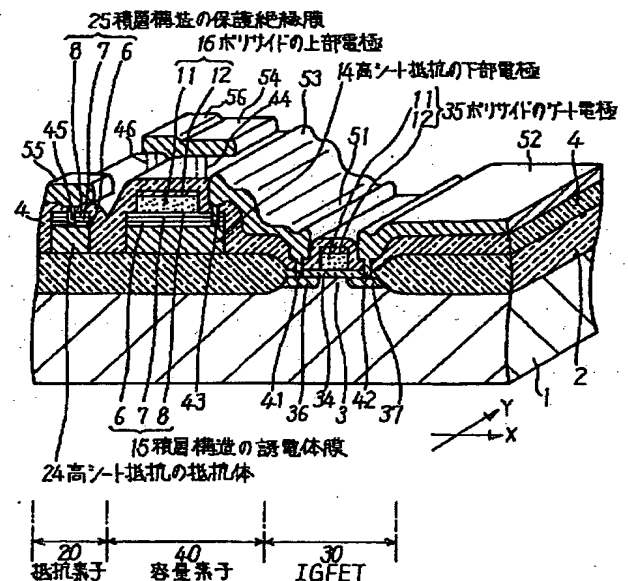
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】信頼性の高い抵抗素子と容量素子をIGFETとともに高集積度で形成することが可能な半導体集積回路装置およびその装置を簡素化されたプロセスで製造する方法を提供する。

【構成】フィールド絶縁膜2上に形成された抵抗素子20の抵抗体24と容量素子40の下部電極14を同じシート抵抗を有するポリシリコン層で形成する。また、容量素子20の誘電体膜15はシリコン酸化膜6、8とシリコン窒化膜7の積層構造であり、抵抗素子20の抵抗体24の上面に被着する保護絶縁膜25もシリコン酸化膜6、8とシリコン窒化膜7の積層構造を用いる。



(2)

1

【特許請求の範囲】

【請求項1】 半導体基板の主表面に設けられた絶縁層の上に容量素子と抵抗素子とが形成された半導体集積回路装置において、

前記抵抗素子は、所定のシート抵抗を有する第1のポリシリコン層から構成され、前記容量素子は、前記第1のポリシリコン層と同じシート抵抗を有する第2のポリシリコン層からなる下部電極、前記下部電極上の誘電体膜および前記誘電体膜上の上部電極から構成されていることを特徴とする半導体集積回路装置。

【請求項2】 前記下部電極および前記誘電体膜は同一平面形状に形成され、前記上部電極は前記下部電極および誘電体膜より小さい平面形状に形成され、前記上部電極が設けられていない前記誘電体膜の部分に、前記上部電極の一边に並行にかつ該一边の全長にわたって対向分布した3個以上の接続孔が配列して形成され、この複数の接続孔を通して取出し電極が前記下部電極に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記容量素子の誘電体膜はシリコン酸化膜とシリコン窒化膜を交互に積重ねた積層構造であり、前記抵抗素子を構成する第1のポリシリコン層の上面に前記誘電体膜の積層構造と同じ積層構造の保護絶縁膜が被着していることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 半導体基板の主表面に設けられた絶縁層の上に第1のポリシリコン層からなりその上面に保護絶縁膜が被着形成されている抵抗素子と、第2のポリシリコン層からなる下部電極、該下部電極上の誘電体膜および該誘電体膜上の上部電極を有する容量素子とが形成された半導体集積回路装置において、前記誘電体膜は、シリコン酸化膜とシリコン窒化膜を交互に積重ね積層構造であり、前記保護絶縁膜は前記誘電体膜の積層構造の同じ構成の積層構造であることを特徴とする半導体集積回路装置。

【請求項5】 前記積層構造はポリシリコン層の表面熱酸化による下層シリコン酸化膜、該下層シリコン酸化膜上のシリコン窒化膜および該シリコン窒化膜の表面熱酸化による上層シリコン酸化膜の3層積層構造であることを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】 前記第1のポリシリコン層と前記第2のポリシリコン層はたがい同一の膜厚および同一の不純物濃度を有することにより同一のシート抵抗を有していることを特徴とする請求項4記載の半導体集積回路装置。

【請求項7】 前記半導体基板に絶縁ゲート電界効果トランジスタが形成され、該トランジスタのゲート電極と前記容量素子の上部電極は同一の材料構成であることを特徴とする請求項4記載の半導体集積回路装置。

【請求項8】 前記材料構成はポリシリコン層上にシリ

2

サイド膜を形成したポリサイド構造であることを特徴とする請求項7記載の半導体集積回路装置。

【請求項9】 半導体基板の活性領域を区画するフィールド絶縁層を該半導体基板の主面に選択的に形成する工程と、前記フィールド絶縁層上から前記活性領域上にかけて下層ポリシリコン層を形成する工程と、前記下層ポリシリコン層の表面を酸化して下層シリコン酸化膜を形成する工程と、前記下層シリコン酸化膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜の表面を酸化して上層シリコン酸化膜を形成する工程と、前記上層シリコン酸化膜、前記シリコン窒化膜、前記下層シリコン酸化膜および前記下層ポリシリコン層を同一のパターンに順次エッチング除去してパターンニングし、前記フィールド絶縁層の第1の表面領域上に前記下層のポリシリコン層による抵抗素子ならびに該抵抗素子の上面に被着する前記下層シリコン酸化膜、前記シリコン窒化膜および前記上層シリコン酸化膜からなる保護絶縁膜を形成し、前記フィールド絶縁層の第2の表面領域上に前記下層のポリシリコン層による容量素子の下部電極ならびに前記下層シリコン酸化膜、前記シリコン窒化膜および前記上層シリコン酸化膜からなる該容量素子の誘電体膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項10】 前記パターンニングの後、前記活性領域の前記半導体基板の主面に絶縁ゲート電界効果トランジスタのゲート絶縁膜を形成する工程と、低抵抗材料により、前記ゲート絶縁膜上に該トランジスタのゲート電極および前記容量素子の誘電体膜上に該容量素子の上部電極を形成する工程を有することを特徴とする請求項9に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置及びその製造方法に係わり、特に半導体基板上に抵抗素子および容量素子が形成された半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体基板に絶縁ゲート電界効果トランジスタ（以下、IGFET、と称す）を形成し、フィールド絶縁層上にMOS型の容量素子を形成し、容量素子のリーク電流を低減させ容量値を増大させるためにその誘電体膜をシリコン窒化膜とシリコン酸化膜の積層構造にした半導体集積回路装置は、例えば特開昭63-94664号公報に開示されている。

【0003】 一方、半導体基板にIGFETを形成し、ポリシリコン抵抗素子をフィールド絶縁層や下層層間絶縁層上に形成し、ポリシリコン抵抗素子の上面に被着したシリコン酸化膜等からなる上層層間絶縁層によりIGFETを含め全体的に被覆した半導体集積回路装置は、例えば特公昭58-26178号公報に開示されてい

50

(3)

3

る。

【0004】したがって、例えばA/DコンバータやD/Aコンバータのようにアナログとデジタルの混在した装置において、抵抗素子と容量素子をIGFETとともに形成して集積回路を構成する場合、例えば図6に示すような構造になる。

【0005】図6において、P型シリコン基板1の主にフィールド酸化膜2が選択的に形成され、活性領域を区画している。

【0006】活性領域の基板表面にゲート酸化膜34が形成され、その上にポリシリコン層11とシリサイド膜12からなるポリサイド構造のゲート電極35が形成され、ゲート電極35と自己整合的にソースおよびドレイン領域となる一対のN型不純物領域36、37が形成されてIGFET30を構成する。

【0007】フィールド酸化膜2の一領域上に低いシート抵抗のポリシリコン層からなる下部電極64およびその引出し部64Aが形成され、下部電極64上にシリコン酸化膜61とシリコン窒化膜62から成る積層誘電体膜65が形成され、その上にアルミ等からなる上部電極68が形成されてMOS型の容量素子60を構成する。

【0008】フィールド酸化膜2の他の領域上に高いシート抵抗のポリシリコン層74が形成されて抵抗素子70を構成する。

【0009】また、シリコン酸化膜からなる層間絶縁層71が抵抗素子70のポリシリコン層74の上面に被着し、容量素子60の下部電極引出し部64Aの上面に被着し、またゲート電極35を被覆して形成される。

【0010】そして、層間絶縁膜71に接続孔66、76が形成され、接続孔66を通して電極67が下部電極引出し部64Aに接続され、接続孔76を通して電極77が抵抗素子70のポリシリコン層74の端部に接続される。

【0011】

【発明が解決しようとする課題】このような従来技術による半導体集積回路装置では次に列举するような問題を有する。すなわちに抵抗素子として高いシート抵抗のポリシリコン層を用い、容量素子の下部電極として低いシート抵抗のポリシリコン層を用いているから、それぞれの異なるポリシリコン層の堆積および異なるパターンニングを必要とする。したがって抵抗素子と容量素子の下部電極との相対的位置関係に目合せ誤差を生じ、高集積化の制約となる。また製造が煩雑となり、このためにコストが高い半導体集積回路装置となる。

【0012】抵抗素子の高いシート抵抗のポリシリコン層の上面に厚いシリコン酸化膜が直接被着している。このために水分の侵入や正イオンの移動あるいは熱膨張係数の相違によるポリシリコン層表面への応力作用により、抵抗素子の抵抗値が不安定になる。また厚いシリコン酸化膜に接続孔を形成する際にポリシリコン層のコン

4

タクト部表面もエッチングされるから、信頼性が高い微細のコンタクト構造を得ることが困難になる。容量素子の下部電極引出し部へのコンタクト構造を形成する際にも同様の問題を有する。そしてこの層間絶縁膜としてのシリコン酸化膜の全上面をシリコン窒化膜でカバーしても、ポリシリコン層上面に被着するシリコン酸化膜は膜厚が厚いから上記問題の解決にならない。

【0013】また、図6のようにゲート電極と容量素子の上部電極が異なる材質の場合、それぞれの材料膜の堆積およびパターンニング工程を必要とするから、この点からも製造が煩雑になりコストが高い半導体集積回路装置となる。

【0014】したがって本発明の目的は、抵抗素子と容量素子の下部電極との位置関係を所定の値に正確に定めることができ、これにより高集積度化を可能にし、低コスト化を実現する半導体集積回路装置およびその装置を製造する有効な製造方法を提供することである。

【0015】本発明の他の目的は、変動が少なく安定した抵抗値が得られ、かつ信頼性が高いコンタクト構造が得られる抵抗素子を有する半導体集積回路装置を提供することである。

【0016】本発明の別の目的は、信頼性が高いコンタクト構造が得られる容量素子を有する半導体集積回路装置を提供することである。

【0017】

【課題を解決するための手段】本発明の第1の特徴は、半導体基板の主表面に設けられた絶縁層の上に容量素子と抵抗素子とが形成された半導体集積回路装置において、前記抵抗素子は、所定のシート抵抗を有する第1のポリシリコン層から構成され、前記容量素子は、前記第1のポリシリコン層と同じシート抵抗を有する第2のポリシリコン層からなる下部電極、前記下部電極上の誘電体膜および前記誘電体膜上の上部電極から構成されている半導体集積回路装置にある。ここで、前記下部電極および前記誘電体膜は同一平面形状に形成され、前記上部電極は前記下部電極および誘電体膜より小さい平面形状に形成され、前記上部電極が設けられていない前記誘電体膜の部分に、前記上部電極の一辺に並行にかつ該一辺の全長にわたって対向分布して3個以上の接続孔が配列して形成され、この複数の接続孔を通して取出し電極が前記下部電極に接続されていることが好ましい。

【0018】本発明の第2の特徴は、半導体基板の主表面に設けられた絶縁層の上に第1のポリシリコン層からなりその上面に保護絶縁膜が被着形成されている抵抗素子と、第2のポリシリコン層からなる下部電極、該下部電極上の誘電体膜および該誘電体膜上の上部電極を有する容量素子とが形成された半導体集積回路装置において、前記誘電体膜は、シリコン酸化膜とシリコン窒化膜を交互に積重ね積層構造であり、前記保護絶縁膜は前記誘電体膜の積層構造の同じ構成の積層構造である半導体集積

(4)

5

回路装置にある。ここで、前記積層構造はポリシリコン層の表面熱酸化による下層シリコン酸化膜、該下層シリコン酸化膜上のシリコン窒化膜および該シリコン窒化膜の表面熱酸化による上層シリコン酸化膜の3層積層構造であることができる。また、前記第1のポリシリコン層と前記第2のポリシリコン層はたがいにより同一の膜厚および同一の不純物濃度を有することにより同一のシート抵抗を有していることが好ましい。さらに、前記半導体基板にIGFETが形成され、該トランジスタのゲート電極と前記容量素子の上部電極は同一の材料構成、好ましくはポリシリコン層上にシリサイド膜を形成したポリサイド構造であることができる。

【0019】本発明の第3の特徴は、半導体基板の活性領域を区画するフィールド絶縁層を該半導体基板の主面に選択的に形成する工程と、前記フィールド絶縁層上から前記活性領域上にかけて下層ポリシリコン層を形成する工程と、前記下層ポリシリコン層の表面を酸化して下層シリコン酸化膜を形成する工程と、前記下層シリコン酸化膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜の表面を酸化して上層シリコン酸化膜を形成する工程と、前記上層シリコン酸化膜、前記シリコン窒化膜、前記下層シリコン酸化膜および前記下層ポリシリコン層を同一のパターンに順次エッチング除去してパターンニングし、前記フィールド絶縁層の第1の表面領域上に前記下層のポリシリコン層による抵抗素子ならびに該抵抗素子の上面に被着する前記下層シリコン酸化膜、前記シリコン窒化膜および前記上層シリコン酸化膜からなる保護絶縁膜を形成し、前記フィールド絶縁層の第2の表面領域上に前記下層のポリシリコン層による容量素子の下部電極ならびに前記下層シリコン酸化膜、前記シリコン窒化膜および前記上層シリコン酸化膜からなる該容量素子の誘電体膜を形成する工程とを有する半導体集積回路装置の製造方法にある。さらに、前記パターンニングの後、前記活性領域の前記半導体基板の主面にIGFETのゲート絶縁膜を形成する工程と、低抵抗材料により、前記ゲート絶縁膜上に該トランジスタのゲート電極および前記容量素子の誘電体膜上に該容量素子の上部電極を形成する工程を有することができる。

【0020】

【実施例】以下図面を参照して本発明を参照する。

【0021】図1は本発明の実施例の半導体集積回路装置を示す断面斜視図である。P型シリコン基板1の主面にシリコン酸化膜からなるフィールド絶縁層2が選択的に形成され基板の活性領域3を区画している。

【0022】活性領域3の基板表面にゲート酸化膜34が形成され、チャネル領域上にゲート酸化膜34を介してポリシリコン層11とシリサイド膜12からなりシート抵抗（層抵抗）が $10\Omega/\square$ と低い値のポリサイド層からゲート電極35が形成され、ゲート電極35と自己

6

整合的にソースおよびドレイン領域となる一対のN型不純物領域36、37が形成されてIGFET30を構成されている。

【0023】フィールド酸化膜2の一領域上に容量素子40が設けられている。この容量素子40は、下部電極14、誘電体膜15および上部電極16から形成されている。下部電極14はX方向、Y方向ともに $16\mu\text{m}$ の正方四角形の平面形状であり、シート抵抗（層抵抗）が $40\Omega/\square$ と高い値のポリシリコン層から構成されている。誘電体膜15は、膜厚 17nm の下層シリコン酸化膜6、膜厚 15nm のシリコン窒化膜7および膜厚 5nm の上層シリコン酸化膜8の3層積構造から構成されている。上部電極16はX方向、Y方向ともに $12\mu\text{m}$ の正方四角形の平面形状であり、ポリシリコン層11とシリサイド膜12からなりシート抵抗が $10\Omega/\square$ のポリサイド層から構成されている。すなわち、容量素子40の上部電極16とIGFET30のゲート電極35は全く同一の膜構成である。

【0024】フィールド酸化膜2の他の領域上に抵抗素子20が設けられている。この抵抗素子20は、容量素子40の下部電極14と同じ不純物濃度および同じ膜厚を有することにより同じ $40\Omega/\square$ の高いシート抵抗のポリシリコン層からなる抵抗体24から構成されている。

【0025】図4（A）に示すように、抵抗体24は幅Wが $5\mu\text{m}$ 、接続孔45、46間の実効長Lが $50\mu\text{m}$ であり、Y方向にU字型に延在する平面形状となっており、接続孔45、46間の抵抗値が 400Ω の抵抗素子となる。尚、図1では便宜上抵抗体24の平面形状をY方向に延在する直線形状で示してある。そして、抵抗体24の上表面には、抵抗体と同じ平面形状の保護絶縁膜25が被着形成されている。この保護絶縁膜25は容量素子40の誘電体膜15と全く同一の積層膜構成、すなわち、膜厚 17nm の下層シリコン酸化膜6、膜厚 15nm のシリコン窒化膜7および膜厚 5nm の上層シリコン酸化膜8の3層積構造である。

【0026】全体的にシリコン酸化膜、PSGあるいはBPSGからなる層間絶縁膜4が形成されている。接続孔41および42が層間絶縁膜4を貫通してIGFETのN型不純物領域36および37にそれぞれ達している。接続孔43が層間絶縁膜4および誘電体膜15を貫通して容量素子の下部電極14に達している。接続孔44が層間絶縁膜4を貫通して容量素子の上部電極16に達している。接続孔45および46が層間絶縁膜4および保護絶縁膜25を貫通して抵抗体24の両端部にそれぞれ達している。

【0027】また図4（B）に示すように、容量素子の下部電極14を引出す3個以上の接続孔43が、上部電極16のY方向に延在する一辺16Aに並行にかつ一辺16Aの全長にわたって対向分布して配列して形成して

(5)

7

いる。図4 (B) の例では、上部電極の一辺16の両端部に対向して接続孔43A、43Aが形成され、中央部に対向して接続孔43Bが形成され、43Aと43Bのそれぞれの間に接続孔43C、43Cが形成された5個の接続孔43の分布配列となっている。

【0028】このような配慮をすることにより、容量素子の下部電極が高いシート抵抗の膜であっても下部電極の各部分は一様の電位となり支障がなくなる。

【0029】アルミ電極51および52が接続孔51および55を通してIGFETのN型不純物領域36および37にそれぞれ接続している。アルミ電極51と連続的に形成されたアルミ電極53が複数の接続孔43を通して容量素子の下部電極14に接続している。アルミ電極54が接続孔44を通して容量素子の上部電極16に接続し、このアルミ電極54と連続的に形成されたアルミ電極56が接続孔46を通して抵抗体24の一方の端部に接続し、アルミ電極55が接続孔45を通して抵抗体24の他方の端部に接続している。

【0030】図5 (A) はA/D変換回路におけるリファレンス電圧回路を示し、抵抗素子R1、R2およびAMP (増幅回路) を有してその出力 (OUT) がA/D変換器に入力される。また図4 (B) はAMPの回路図でIGFET T1~T11と容量素子Cを有して構成されている。ノードA近傍の2点鎖線で囲った部分のR1、C、T1をそれぞれ、実施例図1の抵抗素子20、容量素子40、IGFET30のように構成して形成することができる。

【0031】次に図2-図3を参照して図1の半導体集積回路装置を製造する方法の実施例を説明する。

【0032】まず図2 (A) に示すように、P型シリコン基板1の主表面に、選択酸化法を用いて基板に一部埋設し、活性領域3を区画する厚いフィールド酸化膜2を形成する。そして、N型不純物を含有したポリシリコン層5を全面に形成する。その後、熱処理によりポリシリコン層5の表面を酸化して膜厚17nmのシリコン酸化膜6を形成し、その上にLPCVD (低気圧CVD) 法やRTN (急速熱窒化) 法等により膜厚15nmのシリコン窒化膜7を形成し、熱処理によりシリコン窒化膜7の表面を酸化して膜厚5nmのシリコン酸化膜8を形成して積層構造10を構成する。シリコン酸化膜6によりポリシリコン層5との接着性がよくなり、シリコン酸化膜8によりシリコン窒化膜7の微細なピンホールが完全に充填されるから、耐電圧が高く信頼性が高い積層構造10となる。この状態でポリシリコン層5は膜厚400nmで、そのシート抵抗 (層抵抗) は40Ω/□の高い値である。

【0033】次に図2 (B) に示すように、積層構造10とポリシリコン層5を同一の平面形状にパターニングする。これにより容量素子の下部電極14および抵抗素子の抵抗体24をポリシリコン層5から形状形成し、容

8

量素子の誘電体膜15および抵抗素子の保護絶縁膜25を積層構造10から形状形成する。図1で説明したように、容量素子の下部電極14と誘電体膜15は平面積16μm×16μmの4角形の平面形状である。しかし、抵抗素子の抵抗体24と保護絶縁膜25は、図4 (A) に示すように、幅Wが5μm、実効長Lが50μmで、Y方向にU字型に延在する平面形状であるが、図1と同様に図2、図3でも便宜上抵抗体24およびその保護絶縁膜25をY方向に延在する直線形状で示してある。

【0034】次に図2 (C) に示すように、N型不純物のリンを含有したポリシリコン層11の上面に高融点金属のシリサイド膜、例えばWSi膜12を被着したポリサイド膜13を全面に形成する。シリサイド膜12の存在により、このポリサイド膜13は10Ω/□の低いシート抵抗 (層抵抗) になっている。

【0035】次に図3 (A) に示すように、ポリサイド層13をパターニングしてIGFETのゲート電極35および容量素子の下部電極に重畳する上部電極16を形成する。この上部電極は平面積12μm×12μmの4角形の平面形状であり、下部電極14の中心より一方の方向 (図で左方向) によせて、下部電極に取出し電極を接続する接続孔を誘電体膜に形成するスペースを確保する。この上部電極の平面積が容量値を決定する容量面積となる。上記パターニングはリアクティブイオンエッチングのようなドライエッチングで行うが、この際に抵抗素子の抵抗体25の上面にはシリコン酸化膜6、8とシリコン窒化膜7からなる積層構造の保護絶縁膜25が被着しているからこれが有効なエッチングストップとなる。したがってこの工程において抵抗体24の膜厚が減少して所定の抵抗値が得られないという不都合は発生しない。

【0036】次に図3 (B) に示すように、フォトリジスト38によりフィールド酸化膜2上の抵抗素子および容量素子を被覆して、ゲート電極35をマスクにしてN型不純物39をイオン注入し、フォトリジスト38を除去した後で活性化熱処理を行ってソースおよびドレイン領域となる一対のN型不純物領域36、37を形成する。

【0037】次に図3 (C) に示すように、全体的にシリコン酸化膜、PSG膜もしくはBPSG膜からなる層間絶縁膜4を形成し、接続孔41、42、43、44、45、46を同時にもしくは個々にリアクティブイオンエッチングにより形成する。この際に接続孔43、45、46の形成では、シリコン窒化膜7が有効なエッチングストップとなり、層間絶縁膜4およびシリコン酸化膜8をリアクティブイオンエッチングにより開口した後、その下のシリコン窒化膜7およびシリコン酸化膜6をウェットエッチングで開口することができる。このようなプロセスにより、ポリシリコンの下層電極14および抵抗体24の表面にダメージを与えることなく微細の

(6)

9

接続孔43, 45, 46を形成することができる。

【0038】次に全面にアルミ系の金属膜を被着してこれをパターニングすることにより図1に示す各電極51-56を形状形成する。

【0039】

【発明の効果】このように本発明では抵抗素子と容量素子の下部電極とが同じシート抵抗のポリシリコン層で構成されるから両者を同時にパターニング形成することができる。したがって製造が簡素化され、かつ両者間の位置関係は、リソグラフィの目合せ誤差が生じないので、所定の値に正確に定めることができる。また容量素子の下部電極のシート抵抗を抵抗素子のシート抵抗に合わせて高くしても、3個以上の接続孔を分布させることにより下部電極の各部分が様な電位となるようにすることができなり、実用上問題が生じない。

【0040】また抵抗素子の抵抗体の上面に被着する保護絶縁膜もシリコン酸化膜とシリコン窒化膜の積層構造であるからこの点からも製造が簡素化され、かつこのシリコン窒化膜により水分の浸入や表面近傍への正イオンの移動が阻止される。またシリコン窒化膜の熱膨張係数はポリシリコン層より大でシリコン酸化膜の熱膨張係数はポリシリコン層より小であるから、シリコン酸化膜とシリコン窒化膜の積層構造により熱膨張が相殺され、熱処理工程あるいは高温や低温中の使用においてポリシリコン抵抗体表面に加わる応力が緩和される。したがって抵抗値の変動が小で安定した抵抗素子となる。すなわち本発明は、容量素子の誘電体膜の積層構造がポリシリコン抵抗体の保護絶縁膜としても有効であるとの新たな知見によるものである。

【0041】また、ゲート電極および上部電極をパターニングする際に、抵抗素子の抵抗体上面に積層構造の保護絶縁膜が被着しているから抵抗体の膜厚が不所望に減少して所定の抵抗値が得られないという不都合は発生しない。

【0042】さらに抵抗素子の抵抗体や容量素子の下部電極のポリシリコン層に達する接続孔を形成する際に、積層構造のシリコン窒化膜がエッチングストップとなりポリシリコン層の表面にダメージを与えることなく微細の接続孔パターンを形成することができる。

【0043】さらにIGFETのゲート電極と容量素子の上部電極を同一の膜構成にすることにより両者を同時にパターニング形成することができるから製造を簡素化することができる。

【図面の簡単な説明】

【図1】本発明の実施例の半導体集積回路装置を示す断面斜視図である。

【図2】図1の半導体集積回路装置を製造する実施例の方法を工程順に示す断面斜視図である。

【図3】図2の続きの工程を順に示す断面斜視図である。

10

【図4】図1の半導体集積回路装置の一部を示す平面図であり、(A)は抵抗素子のU字形状を説明する図、(B)は抵抗素子の下部電極への接続孔を説明する図である。

【図5】本発明を適用することが可能なAD変換回路の一部を示す回路図である。

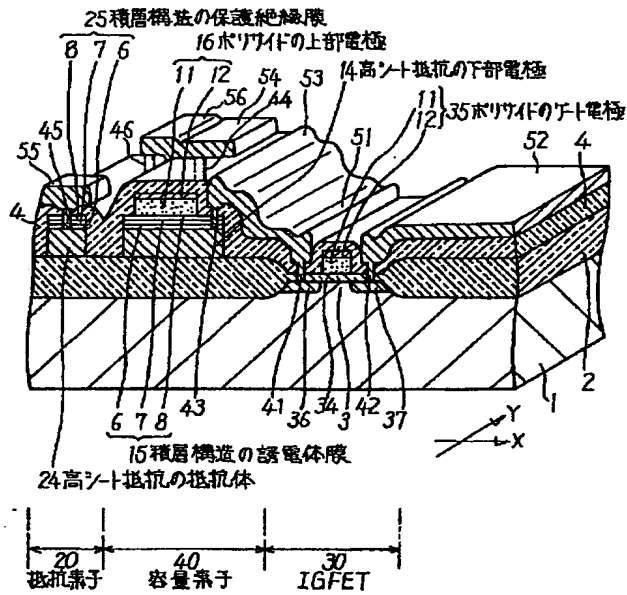
【図6】従来技術による半導体集積回路を示す断面図である。

【符号の説明】

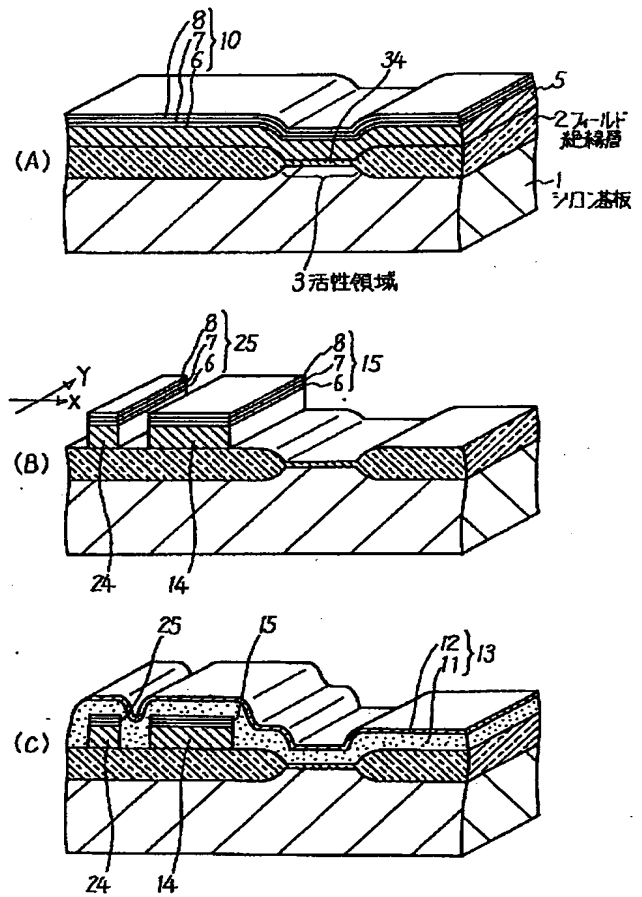
- | | | |
|----|------------------------------------|-----------|
| 10 | 1 | P型シリコン基板 |
| | 2 | フィールド絶縁層 |
| | 3 | 活性領域 |
| | 4 | 層間絶縁膜 |
| | 6 | 下層シリコン酸化膜 |
| | 7 | シリコン窒化膜 |
| | 8 | 上層シリコン酸化膜 |
| | 10 | 積層構造 |
| | 11 | ポリシリコン層 |
| | 12 | シリサイド膜 |
| 20 | 13 | ポリサイド層 |
| | 14 | 下部電極 |
| | 15 | 誘電体膜 |
| | 16 | 上部電極 |
| | 16A | 上部電極の一辺 |
| | 20 | 抵抗素子 |
| | 24 | 抵抗体 |
| | 25 | 保護絶縁膜 |
| | 30 | IGFET |
| | 34 | ゲート酸化膜 |
| 30 | 35 | ゲート電極 |
| | 36, 37 | N型不純物領域 |
| | 38 | フォトレジスト膜 |
| | 39 | N型イオン |
| | 40 | 容量素子 |
| | 41, 42, 43 (43A, B, C), 44, 45, 46 | 接続孔 |
| | 51, 52, 53, 54, 55, 56 | アルミ電極 |
| | 60 | 容量素子 |
| | 61 | シリコン酸化膜 |
| 40 | 62 | シリコン窒化膜 |
| | 64 | 下部電極 |
| | 64A | 引出し部 |
| | 65 | 積層誘電体膜 |
| | 66, 76 | 接続孔 |
| | 67, 77 | 電極 |
| | 68 | 上部電極 |
| | 70 | 抵抗素子 |
| | 71 | 層間絶縁層 |
| | 74 | ポリシリコン層 |

(7)

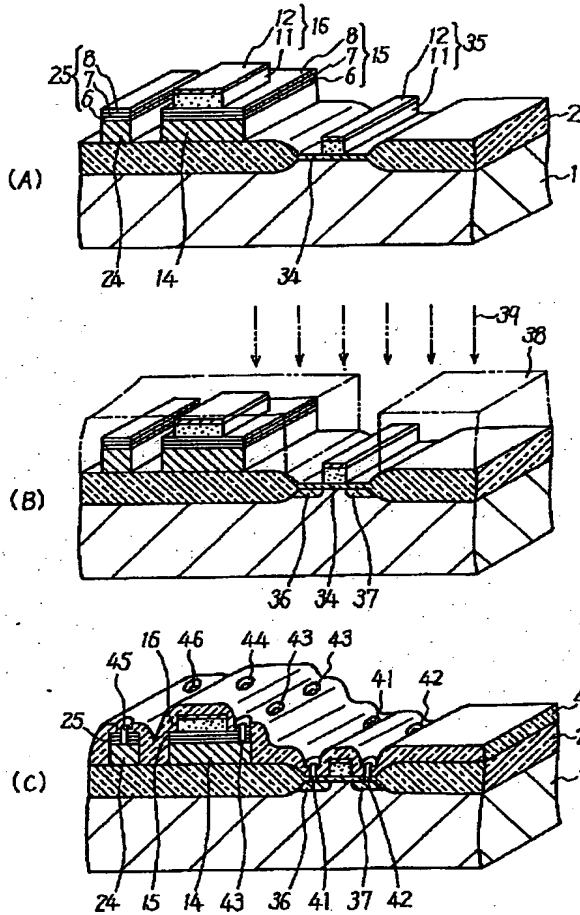
【図1】



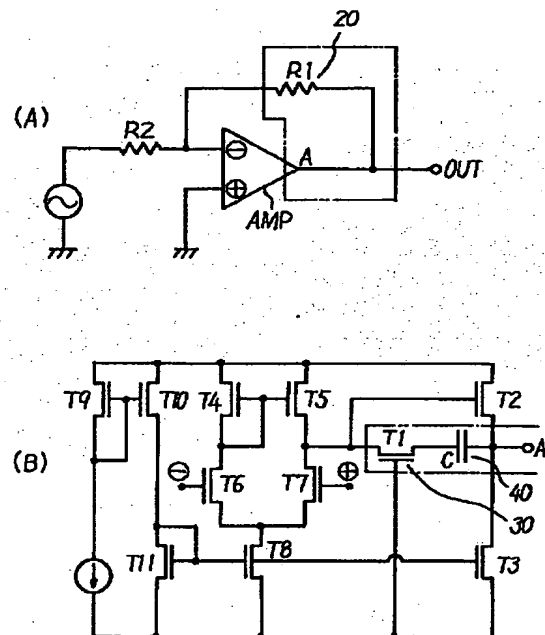
【図2】



【図3】

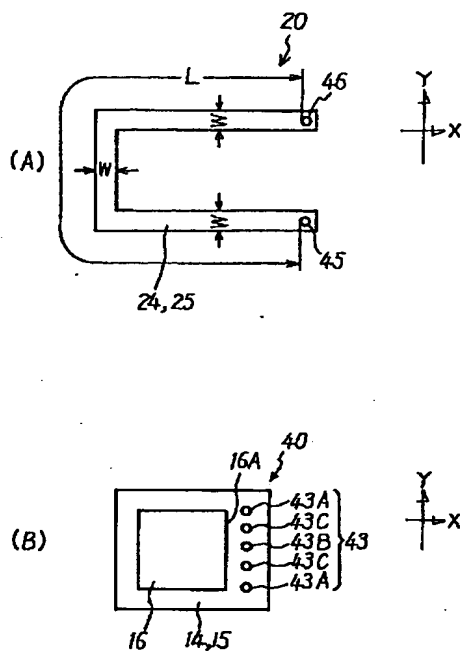


【図5】

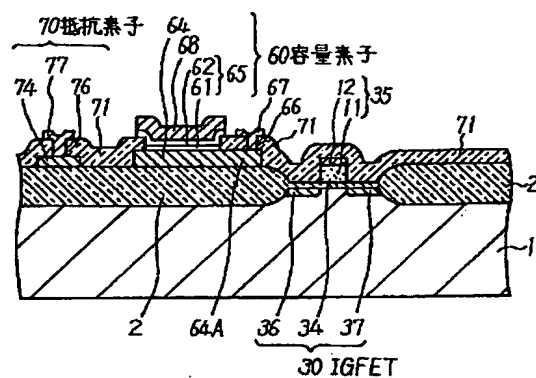


(8)

【図4】



【図6】



フロントページの続き

(51) Int. Cl. 6

H01L 27/06

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/06

102 Z